

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 61-229370

(43)Date of publication of application : 13.10.1986

(51)Int.Cl.

H01L 31/10  
 H01L 21/308  
 H01L 27/14  
 H01L 31/04

(21)Application number : 60-069055

(71)Applicant : OKI ELECTRIC IND CO LTD

(22)Date of filing : 03.04.1985

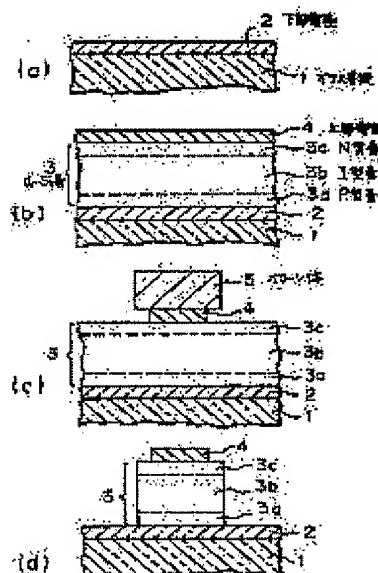
(72)Inventor : YAMAGUCHI HIROSHI

## (54) MANUFACTURE OF PHOTO SENSOR ELEMENT

### (57)Abstract:

**PURPOSE:** To obtain the sensor without the leak current, by performing the side-etching of the upper electrode with the pattern body of the photoresist, and performing the selective etching and elimination of the photoelectric conversion part by using the pattern body as the mask.

**CONSTITUTION:** The lower electrode 2 of indium-tin oxide is laminated on the glass substrate 1. The amorphous silicon layer 3 is laminated as the photoelectric conversion part. In this lamination process, the P-type layer 3a, the I-type interlayer 3b and the N-type layer 3c are laminated by mixing diborane, etc. The Al upper electrode 4 is laminated on the layer 3. After the pattern body 5 of the photoresist is formed on the electrode 4, the electrode 4 is selectively eliminated by the side-etching. The photoelectric conversion part 3 is selectively eliminated by applying the pattern body 5 as the mask, and the pattern body 5 is eliminated.



## ⑫ 公開特許公報(A)

昭61-229370

⑤ Int.Cl.<sup>4</sup>H 01 L 31/10  
21/308  
27/14  
31/04

識別記号

庁内整理番号

6819-5F  
8223-5F  
7525-5F  
6851-5F

④ 公開 昭和61年(1986)10月13日

審査請求 未請求 発明の数 1 (全4頁)

⑥ 発明の名称 光センサ素子の製造方法

⑦ 特 願 昭60-69055

⑧ 出 願 昭60(1985)4月3日

⑨ 発 明 者 山 口 博 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内  
 ⑩ 出 願 人 沖電気工業株式会社 東京都港区虎ノ門1丁目7番12号  
 ⑪ 代 理 人 弁理士 鈴木 敏明

## 明 細 書

## 1. 発明の名称

光センサ素子の製造方法

## 2. 特許請求の範囲

1 一方の基板面側に下部電極用導電体層を積層する工程と、

該下部電極用導電体層上に非晶質半導体の第1導電型層を積層する工程と、

該第1導電型層上に真性非晶質半導体の中間層を積層する工程と、

該中間層上に非晶質半導体の第2導電型層を積層する工程と、

該第2導電型層上に上部電極用導電体層を積層する工程と、

該上部電極用導電体層上に所定のパターンを有するパターン体を形成する工程と、

該パターン体をマスクとして前記上部電極用導電体層をサイドエッチングを施して選択的に除去することにより所定のパターンに形成する工程と、

該パターン体をマスクとして前記第1導電型層、

中間層及び第2導電型層を選択的にエッチング除去する工程と、

しかる後該パターン体を除去する工程と、を備えてなることを特徴とする光センサ素子の製造方法。

2 前記パターン体の厚さをA、前記第1導電型層の厚さをB、前記中間層の厚さをC、前記パターン体の前記第1導電型層、中間層及び第2導電型層に対する前記エッチングのエッチングレートをh、とするとき前記パターン体の厚さAは

$$A \leq h(B+C)$$

を満足してなることを特徴とする特許請求の範囲第1項記載の光センサ素子の製造方法。

## 3. 発明の詳細な説明

(産業上の利用分野)

この発明はファクシミリの読取部等々に使用されるPIN構造の光センサ素子の製造方法に関する。

(従来の技術)

従来のこの種の光センサ素子は、特開昭59-84587号公報に記載されている。一般に光セン

素子は、透明基板上に透明の下部電極用導電体層を形成し、この上に光電変換部として順次P型a-Si(アモルファスシリコン)層、I型(真性)a-Si層及びN型a-Si層を形成し、この上に所定パターンの上部電極を形成し、この上部電極をマスクとしてPIN構造の光電変換部をエッチングして形成している。

またこの光センサ素子の構造では、光電変換部の膜厚は最大でも1μm程度にすぎず、上部電極と光電変換部とが平面的に見て同一の大きさであると、この光電変換部の端面付近の欠陥部を通して上部電極と下部電極用導電体層との間の漏れ電流が増大してしまうという問題があり、この問題に対して、透明基板上に形成された下部電極用導電体層上に光電変換部を形成パターンニングした後、この上に平面的に見てこの光電変換部より小さい上部電極をパターン形成する方法もある。

(発明が解決しようとする問題点)

しかし、以上述べたような光センサ素子の製造方法では、上部電極と下部電極用導電体層との間

り所定のパターンに形成し、このパターン体をマスクとして前記第1導電型層、中間層及び第2導電型層を選択的にエッチング除去し、しかる後、このパターン体を除去するようにしたものである。また、前記パターン体の厚さをA、前記第1導電型層の厚さをB、前記中間層の厚さをC、前記パターン体の前記第1導電型層、中間層及び第2導電型層に対する前記エッチングのエッチングレートをh、とするとき前記パターン体の厚さAは

$$A \leq h(B+C)$$

を満足するように形成したものである。

(作用)

本発明によれば、以上のように、例えばネガ型のフォトリソストであるパターン体をマスクとして、AL等の上部電極用導電体層をサイドエッチングを施して選択的に除去することにより所定のパターンに形成し、且つこのパターン体をマスクとして、例えばP型a-Si層(第1導電型層)、I型a-Si層(中間層)及びN型a-Si層(第2導電型層)を選択的にエッチング除去するので、1回のパタ

の漏れ電流をなくし且つ、光電変換部を形成パターンニングした後、この上に平面的に見てこの光電変換部より小さい上部電極をパターン形成するという困難な方法を回避することはできなかった。そこで本発明の目的は、上部電極と下部電極用導電体層との間の漏れ電流のない光センサ素子を1回のパターンニングによる容易な方法を用いて形成する光センサ素子の製造方法を提供することにある。

(問題点を解決するための手段)

この発明は、一方の基板面側に下部電極用導電体層を積層し、この下部電極用導電体層上に非晶質半導体の第1導電型層を積層し、この第1導電型層上に真性非晶質半導体の中間層を積層し、この中間層上に非晶質半導体の第2導電型層を積層し、この第2導電型層上に上部電極用導電体層を積層し、この上部電極用導電体層上に所定のパターンを有するパターン体を形成し、このパターン体をマスクとして前記上部電極用導電体層をサイドエッチングを施して選択的に除去することによ

うして、上部電極用導電体層と下部電極用導電体層との間の漏れ電流のない、平面的に見てこれらPIN構造の光電変換部より小さいパターンの上部電極を形成することができる。

また、前記パターン体の厚さをA、前記第1導電型層の厚さをB、前記中間層の厚さをC、前記パターン体の前記第1導電型層、中間層及び第2導電型層に対するエッチングレートをh、とするとき前記パターン体の厚さAを

$$A \leq h(B+C)$$

を満足するように形成しているので、上部電極と下部電極とによってバイアス電圧が印加されない第2導電型層部分がエッチングされ、光電変換部に発生したすべての電子や正孔にバイアス電圧が印加される。従って入射光のオン・オフに対する両電極間電流の応答速度が速くなる。

(実施例)

第1図(a)～第1図(d)は本発明の1実施例を説明するための光センサ素子の断面図であり、第2図(a)～第2図(d)は他の実施例を説明するための光セ

ンサ素子の断面図である。以下図面に沿って説明する。

まず第1図(a)に示すように、ガラスの基板1上にインジウム錫酸化物の下部電極2を積層する。

次に第1図(b)に示すように、光電変換部としてa-Si層3を積層する。このa-Si層3の積層は、シランガスを高周波グロー放電で分解することによって、200～300℃という低温で行うことが出来る。この積層工程において、シランガスに対して500～10000 ppmのジボランを混合して第一導電型層であるP型層3aを100～2000 Åの厚さに積層し、次にシランガスに対して0～100 ppmのジボランを混合してP型層3a上にI型中間層3bを0.5～1.5 μmの厚さに積層する。さらにシランガスに対して500～10000 ppmのホスフィンを混合して第二導電型層であるN型層3cを中間層3b上に100～2000 Åの厚さに積層する。次にこのa-Si層3上にAlの上部電極4を積層する。

次に上部電極4上にフォトリソストを積層し、

10をパターンニングしてパターン体15を形成した後、パターン体15をマスクとして、Clを含むガスをを用いたプラズマエッチング法により等方的にサイドエッチングを施して上部電極4を選択的に除去する。

次に第1図(d)に示すように、パターン体5をマスクとしてCF<sub>4</sub>ガスをを用いた異方性のプラズマエッチング法により光電変換部3を選択的に除去する。このとき光電変換部3と共にパターン体15もエッチングされるが、パターン体15の厚さはh(B+C)以下にして形成しているため、パターン体15は光電変換部3のエッチングの途中で除去されてしまう。従ってパターン体15の厚さをh(B+C)以下とすることにより、少なくともN型層3cは上部電極4をマスクとしてエッチングされ、第2図(d)に示すような、上部電極4と同等のパターンと大きさのN型層3cを有するPIN構造の光センサ素子が形成される。

尚、本発明の実施例では、基板1の材料としてガラスを用いたが合成樹脂等を材料とする透明な

第1図(c)に示すようにパターンニングしてフォトリソストのパターン体5を形成した後、パターン体5をマスクとして、Clを含むガスをを用いたプラズマエッチング法により等方的にサイドエッチングを施して上部電極4を選択的に除去する。

次に第1図(d)に示すように、パターン体5をマスクとしてCF<sub>4</sub>ガスをを用いた異方性のプラズマエッチング法により光電変換部3を選択的に除去し、パターン体5を除去する。

また第2図(a)に示すように、第1図(a)及び(b)に示した方法と同様の方法を用いて、ガラスの基板1上に下部電極2、光電変換部3、上部電極4を順次積層する。

次に第2図(b)に示すように、ネガ型のフォトリソスト10を積層する。ここでP型層3aの厚さをB、I型中間層3bの厚さをC、フォトリソスト10の光電変換部3に対するエッチングレートをbとすると、このフォトリソスト10の厚さは、h(B+C)以下にして積層する。

次に第2図(c)に示すように、フォトリソスト

基板でもよい。また、下部電極2は光透過性の導電材料であればよい。また上部電極4はAlを用いたがCr等の金属でもよく、このとき上部電極4の材料に対応するエッチング条件で上部電極4はエッチングすればよい。

以上説明したように本発明の実施例では、フォトリソストのパターン体5、15によって、上部電極4をサイドエッチングを施して選択的に除去することにより所定のパターンに形成し、且つ、このパターン体5、15をマスクとして光電変換部3を選択的にエッチング除去するので1回のパターンニングによって、下部電極2と上部電極4との間の漏れ電流のない光センサ素子が形成できる。

さらにパターン体5、15の厚さをh(B+C)以下にして形成しているため、下部電極2と上部電極4とによってバイアス電圧が印加されないN型層3cが少なくともエッチング除去される。従ってこの実施例で形成した光センサ素子では、光電変換部に発生したすべての電子や正孔にバイア

ス電圧が印加されるので入射光のオン・オフに対する両電極間電流の応答速度が速くなる。

(発明の効果)

本発明によれば、以上のように、例えばネガ型のフォトリソistであるパターン体をマスクとして、上部電極用導電体層をサイドエッチングを施して選択的に除去することにより所定のパターンに形成し、且つこのパターン体をマスクとして、光电変換部を選択的にエッチング除去するので、1回のパターンニングによって、上部電極用導電体層と下部電極用導電体層との間の漏れ電流のない、平面的に見て光电変換部より小さいパターンの上部電極を形成することができる。

また、前記パターン体の厚さをA、第1導電型層の厚さをB、中間層の厚さをC、前記パターン体の前記第1導電型層、中間層及び第2導電型層に対するエッチングレートをb、とするとき前記パターン体の厚さAを

$$A \leq b(B+C)$$

を満足するように形成しているので、上部電極と下

部電極とによってバイアス電圧が印加されない第2導電型層部分がエッチングされ、光电変換部に発生したすべての電子や正孔にバイアス電圧が印加される。従って入射光のオン・オフに対する両電極間電流の応答速度が速くなる。

4. 図面の簡単な説明

第1図(a)～第1図(d)は本発明の実施例を説明するための光センサ素子の断面図であり、第2図(a)～第2図(d)は本発明の他の実施例を説明するための光センサ素子の断面図である。

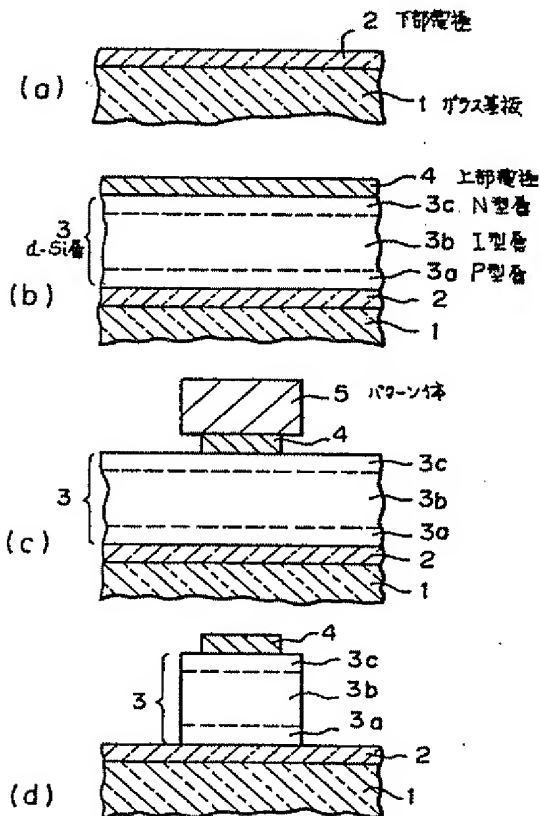
1…ガラス基板、2…下部電極、3…a-Si層、4…上部電極、5、15…パターン体。

特許出願人 沖電気工業株式会社

代理人 鈴木 敏明



第1図



第2図

